

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SANG-HEE KANG

Application No.:

Filed:

For: **SEMICONDUCTOR MEMORY
DEVICE WITH SENSE AMPLIFIER
DRIVER HAVING MULTIPLIED
OUTPUT LINES**

Art Group:

Examiner:

Commissioner for Patents
P.O, Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2003-0034889	30 May 2003

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 1-21-03

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0034889
Application Number

출원년월일 : 2003년 05월 30일
Date of Application MAY 30, 2003

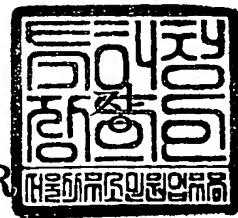
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003년 10월 24일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2003.05.30		
【발명의 명칭】	계층화된 출력배선의 감지증폭기 드라이버를 구비한 반도체 메모리 소자		
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE WITH SENSE AMPLIFIER DRIVER HAVING MULTIPLE OUTPUT-LINE		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	강상희		
【성명의 영문표기】	KANG, Sang Hee		
【주민등록번호】	700718-1109218		
【우편번호】	467-860		
【주소】	경기도 이천시 부발읍 하이닉스반도체 고담기술사 101-502		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	20	면	20,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	14	항	557,000 원
【합계】	606,000 원		

1020030034889

출력 일자: 2003/10/29

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 감지증폭기 드라이버의 출력배선을 다중화함으로써, 구동능력이 떨어지는 비트라인 센스앰프 어레이의 중앙부분에서 센싱 스피드가 저하되는 문제를 해결한 반도체 메모리 소자에 관한 것이다. 이를 위한 본 발명은, 복수의 비트라인 감지증폭기가 어레이된 감지증폭기 어레이부; 상기 감지증폭기 어레이부의 일측에 배치되어 상기 각 감지증폭기의 구동전압을 생성하기 위한 제 1 드라이버; 상기 감지증폭기 어레이부의 타측에 배치되어 상기 각 감지증폭기의 구동전압을 생성하기 위한 제 2 드라이버; 상기 제 1 드라이버의 출력노드와 상기 제 2 드라이버의 출력노드 사이에 연결되고 상기 복수개 감지증폭기의 각각의 구동전압 입력단이 병렬적으로 접속된 상기 구동전압의 제 1 전원배선; 및 상기 제 1 드라이버의 출력노드와 상기 제 2 드라이버의 출력노드 사이에 상기 제 1 전원배선과 병렬적으로 접속되고 상기 제 1 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 구동전압의 제 2 전원배선을 포함하여 이루어 진다.

【대표도】

도 4

【색인어】

감지증폭기 드라이버, 비트라인 감지증폭기, 타임딜레이, 서브 홀

【명세서】**【발명의 명칭】**

계층화된 출력배선의 감지증폭기 드라이버를 구비한 반도체 메모리 소자(SEMICONDUCTOR MEMORY DEVICE WITH SENSE AMPLIFIER DRIVER HAVING MULTIPLE OUTPUT-LINE)

【도면의 간단한 설명】

도1은 통상적인 메모리 소자에서 감지증폭기 드라이버 및 비트라인 감지증폭기의 배치 및 그 출력배선을 도시한 회로도,

도2는 종래기술에 따른 감지증폭기 드라이버 구동시 전류의 흐름을 도시한 도면,

도3은 종래기술에 따른 감지증폭기 드라이버 구동시에, RTO 라인과 SB 라인에 접속된 부하를 저항과 캐패시터로 모델링한 도면

도4는 본 발명의 제 1 실시예에서 사용가능한 감지증폭기 드라이버 및 비트라인 감지증폭기의 배치 및 출력배선을 도시한 도면,

도5는 본 발명의 일실시예에서 사용가능한 감지증폭기 드라이버 구동시에, RTO 라인과 SB 라인에 접속된 부하를 저항과 캐패시터로 모델링한 도면,

도6은 본 발명의 일실시예에서 사용가능한 감지증폭기 드라이버의 구성을 도시한 회로도

도7a 내지 도7b는 본 발명의 일실시예에서 사용가능한 비트라인 감지증폭기와 주변회로의 구성을 도시한 회로도,

도8은 본 발명의 일실시예에서 사용가능한 비트라인 감지증폭기의 구성 및 전류흐름을
도시한 도면,

도9는 본 발명의 일실시예에서 생성될 수 있는 각각의 신호들의 신호파형도,

도10은 본 발명의 제 1 실시예에 따른 메모리 소자에서 감지증폭기 드라이버의 배치위치
를 도시한 도면,

도11은 본 발명의 제 2 실시예에 따른 메모리 소자에서 메인 감지증폭기 드라이버와 서
브 감지증폭기 드라이버의 배치를 도시한 도면.

도면의 주요부분에 대한 부호의 설명

100 : 감지증폭기 드라이버

101 : 비트라인 감지증폭기

401 : 제 1 RTO 라인

402 : 제 2 RTO 라인

403 : 제 1 SB 라인

404 : 제 2 SB 라인

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<19> 본 발명은 반도체 메모리 소자에 관한 것으로, 특히 감지증폭기(sense amplifier) 드라이버(driver)의 출력배선을 다중화하여 센싱속도 향상 및 소자의 특성을 향상시킨 반도체 메모리 소자에 관한 것이다.

<20> 일반적으로 DRAM에는 메모리 셀에 연결된 비트라인의 전압레벨을 증폭하기 위하여 비트라인 감지증폭기를 구비하게 된다.

<21> 한편, 메모리 소자가 점차로 대형화되어 가면서 고속동작 등을 위하여, 비트라인에는 래치타입(latch type)의 감지증폭기를 접속 구성하고, 어레이된 복수개의 감지증폭기의 각 구동전압단(RTO, SB)에는 감지증폭기 드라이버를 통해서 구동전압이 인가되도록 하는 기술이 적용되고 있다.

<22> 도1은 통상적인 비트라인 감지증폭기 및 감지증폭기 드라이버의 배치를 도시한 도면으로 이를 참조하면, 감지증폭기 드라이버(100)은 제어신호들(SAP1, SAP2, SAN, BLEQ)을 입력받아 비트라인의 구동전압인 VINT 전압과 VSS 전압을 생성하여, VINT 전압을 RTO 라인에, VSS 전압을 SB 라인에 인가한다.

<23> 또한, 어레이된 복수개의 비트라인 감지증폭기(101)들은 RTO 라인과 SB 라인에 병렬로 접속되어 구동전압인 VINT 전압과 VSS 전압을 인가받고 있다.

<24> 또한, 도1에는 도시되어 있지 않으나, 비트라인 감지증폭기(101)는 정 비트라인 및 부비트라인에 연결되어 있어 메모리 셀에 저장된 미약한 데이터를 증폭하여 출력하는 역할을 하는데, 도1에는 메모리 셀, 정 비트라인 및 부 비트라인은 도시되어 있지 않다.

<25> 도1을 참조하여 비트라인 감지증폭기(101)를 구동하는 종래의 방법을 설명하면, 종래에는 감지증폭기 드라이버(100)의 출력라인인 한 쌍의 RT0 라인과 SB 라인을 각각 풀업(Pull Up) 소스와 풀 다운(Pull Down) 소스로 이용하여, 감지증폭기 드라이버(100)와 감지증폭기 드라이버(100) 사이에 접속된 복수개의 비트라인 감지증폭기(101)들을 구동하였다.

<26> 여기서, 감지증폭기 드라이버(100)로 입력되는 SAP1 신호, SAP2 신호, SAN 신호, BLEQ 신호는 감지증폭기를 제어하기 위한 제어신호이며, 이에 대해서는 도6을 참조하여 후술될 것이다.

<27> 다음으로, 도2는 도1에 도시된 감지증폭기 드라이버를 동작시켰을 경우의 전류흐름을 도시한 도면으로, 2 개의 감지증폭기 드라이버(100A, 100B)와 상기 감지증폭기 사이에 배치된 n 개의 비트라인 감지증폭기(101)가 도시되어 있다.

<28> 도2에서, RT0 라인은 풀업 소스로 사용되고 있으므로, 좌측에 위치한 감지증폭기 드라이버(100A)에서 비트라인 감지증폭기(101)들로 공급되는 전류를 I_{RTL} (RT0 Left) 표시하였으며, 우측에 위치한 감지증폭기 드라이버(100B)에서 비트라인 감지증폭기들로 입력되는 전류를 I_{RTR} (RT0 Right)로 표시하였다. 또한, RT0 라인으로 부터 각각의 비트라인 감지증폭기(101)로 공급되는 전류는 I_{R1} , I_{R2} , $I_{Ri} \dots I_{Rn-1}$, I_{Rn} 으로 표시하였다.

<29> 그리고 SB 라인은, 풀 다운 소스로 사용되고 있으므로, 좌측에 위치한 감지증폭기 드라이버(100A)로 공급되는 전류를 I_{STL} (S Left)로 표시하였으며, 우측에 위치한 감지증폭기 드라이버(100B)로 공급되는 전류를 I_{RTR} (S Right)로 표시하였다.

이버(100B)로 공급되는 전류를 I_{STR} (S Right)로 표시하였다. 또한, 각각의 비트라인 감지증폭기(101)에서 출력되는 전류는 I_{S1} , I_{S2} , $I_{Si} \dots I_{Sn-1}$, I_{Sn} 으로 표시하였다.

<30> 도2를 참조하면, 상기 감지증폭기 드라이버로부터의 거리가 멀면 멀 수록 비트라인 감지증폭기(101)를 구동하는 능력이 저하된다.

<31> 따라서, 감지증폭기 드라이버(100A)와 감지증폭기 드라이버(100B) 사이의 중앙에 위치한 비트라인 감지증폭기는 가장 저하된 구동능력을 가지게 되어, 시간지연 및 동작속도에 관한 단점이 있었다.

<32> 도2에서 (ㄱ)으로 표시된 블록은 도3의 부하/loading 모델링에서 사용되는 블럭이다.

<33> 도3은 도2에 도시된 (ㄱ) 블록에 대한 부하 모델링에 관한 도면으로, 감지증폭기 드라이버(100)부터 메모리 셀에 이르는 경로에 형성된 모든 부하를 저항과 캐패시터로 모델링한 도면이다.

<34> 도3을 참조하여, 감지증폭기 드라이버(100A)로부터 가장 멀리 떨어져 있는 부하(C_{Ri} 또는 C_{Si}) 까지의 시간지연(Time Delay : TD)을 계산해 보면 다음과 같다.

$$TD(C_{Ri}) = (R_1+R_2+\dots R_i)C_1 + (R_2+R_3+\dots R_i)C_2 + (R_3+R_4+\dots R_i)C_3 + \dots R_i C_i$$

<36> 이와같이, 종래구조의 메모리 소자에서 한 쌍의 RT0 라인과 SB 라인을 이용하여 복수개의 비트라인 감지증폭기를 구동하는 경우에 나타나는 문제점은, 비트라인 감지증폭기 어레이(array)에 대한 레이아웃(layout) 특성에서 기인한다.

<37> 디램(DRAM)에 있어서 비트라인 감지증폭기 어레이 영역은, 좁은 폭에 비하여 많은 수의 감지증폭기 및 많은 수의 메탈 라인이 배치되어 있기 때문에, RT0 라인과 SB 라인의 폭을 일정

이상으로 확보하기도 수월치 않으며, 또한 소자가 고집적화되어감에 따라 더욱 많은 수의 비트라인 감지증폭기가 형성되어 있게 된다.

<38> 이러한 이유때문에 종래구조의 감지증폭기 드라이버를 사용하는 경우에는 전술한 문제점이 발생하였으며, 이는 소자가 고 집적화되어감에 따라 더욱 심화될 것이다.

【발명이 이루고자 하는 기술적 과제】

<39> 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 감지증폭기 드라이버의 출력배선인 RTO 라인과 SB 라인을 다중화하여, 어레이된 복수개의 비트라인 감지증폭기 중에서 취약한 위치의 비트라인 감지증폭기에 대한 구동력을 향상시킨 반도체 메모리 소자를 제공함을 그 목적으로 한다.

【발명의 구성 및 작용】

<40> 상기한 목적을 달성하기 위한 본 발명은, 복수의 비트라인 감지증폭기가 어레이된 감지증폭기 어레이부; 상기 감지증폭기 어레이부의 일측에 배치되어 상기 각 감지증폭기의 구동전압을 생성하기 위한 제 1 드라이버; 상기 감지증폭기 어레이부의 타측에 배치되어 상기 각 감지증폭기의 구동전압을 생성하기 위한 제 2 드라이버; 상기 제 1 드라이버의 출력노드와 상기 제 2 드라이버의 출력노드 사이에 연결되고 상기 복수개 감지증폭기의 각각의 구동전압 입력단이 병렬적으로 접속된 상기 구동전압의 제 1 전원배선; 및 상기 제 1 드라이버의 출력노드와 상기 제 2 드라이버의 출력노드 사이에 상기 제 1 전원배선과 병렬적으로 접속되고 상기 제 1

전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 구동전압의 제 2 전원배선을 포함하여 이루어진다.

<41> 또한, 본 발명은 비트라인의 풀업 소스로서의 제 1 구동전압 입력단과 비트라인의 풀다운 소스로서의 제 2 구동전압 입력단을 갖는 비트라인 감지증폭기가 복수개 어레이된 감지증폭기 어레이부; 상기 감지증폭기 어레이부의 일측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 제 1 드라이버; 상기 감지증폭기 어레이부의 타측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 제 2 드라이버; 메모리 셀 블록의 일측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 제 3 드라이버; 메모리 셀 블록의 타측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 제 4 드라이버; 상기 제 1 드라이버의 제 1 구동전압 출력노드와 상기 제 2 드라이버의 제 1 구동전압 출력노드 사이에 연결되고 상기 복수의 감지증폭기의 각각의 제 1 구동전압 입력단이 병렬적으로 접속된 상기 제 1 구동전압의 제 1 전원배선; 상기 제 3 드라이버의 제 1 구동전압 출력노드와 상기 제 4 드라이버의 제 1 구동전압 출력노드 사이에 상기 제 1 전원배선과 병렬적으로 접속되고 상기 제 1 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 제 1 구동전압의 제 2 전원배선; 상기 제 1 드라이버의 제 2 구동전압 출력노드와 상기 제 2 드라이버의 제 2 구동전압 출력노드 사이에 연결되고 상기 복수의 감지증폭기의 각각의 제 2 구동전압 입력단이 병렬적으로 접속된 상기 제 2 구동전압의 제 3 전원배선; 및 상기 제 3 드라이버의 제 2 구동전압 출력노드와 상기 제 4 드라이버의 제 2 구동전압 출력노드 사이에 상기 제 3 전원배선과 병렬적으로 접속되고 상기 제 3 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 제 2 구동전압의 제 4 전원배선을 포함하여 이루어진다.

<42> 본 발명에서는 종래의 문제점을 해결하기 위하여, 기존에 있던 RT0 라인, SB 라인 이외에 별도의 배선을 감지증폭기 드라이버로부터 인출하여, 감지증폭기의 구동력이 가장 취약한 곳의 RT0 라인 및 SB 라인에 직접 연결시켜 주는 방법을 적용하였다.

<43> 또한, 본 발명에서는 종래의 감지증폭기 드라이버 외에, 한 뱅크 또는 메모리 블록의 좌/우 끝단에 메인 감지증폭기 드라이버를 추가로 구비하고, 상기 메인 감지증폭기 드라이버의 출력라인을 감지증폭기 드라이버의 구동력이 가장 취약한 곳의 RT0 라인 및 SB 라인에 직접 연결시켜 주는 방법을 적용하였다.

<44> 본 발명에서와 같이 감지증폭기의 출력배선을 다중화 하게되면, 비트라인 감지증폭기 어레이가 동작할 때, 감지증폭기 드라이버에서 가까운 위치에 있는 비트라인 감지증폭기에 비해 상대적으로 저하된 구동력이 인가되는 비트라인 감지증폭기에 직접 전류를 공급할 수 있는 경로를 갖게 되므로, 종래의 문제점을 해결할 수 있다.

<45> 즉, 본 발명에서는 비트라인 감지증폭기와는 직접적으로 연결되어 있지 않는 배선을 추가하여 형성해 주었으며, 추가된 금속배선을 기존의 RT0 라인 및 SB 라인과 연결하여 구동능력을 향상시켜 주었다.(RT0 strapping 또는 SB strapping)

<46> 또한, 본 발명의 일실시예에서는 RT0 라인과 SB 라인을 모두 스프래핑하는 구조를 예시하였으나, RT0 라인과 SB 라인 중 어느 한 라인만을 스프래핑하는 구조도 적용될 수 있다.

<47> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명한다.

<48> 도4는 본 발명의 제 1 실시예에 따른 메모리 소자에서, 계층적 RTO 라인 및 SB 라인의 구조를 도시한 도면으로, 이를 참조하여 본 발명의 일실시예를 설명한다.

<49> 먼저, 도4에는 풀업 소스로 사용되는 RTO 라인과 풀 다운 소스로 사용되는 SB 라인에 연결된 2개의 감지증폭기 드라이버(100A, 100B)가 도시되어 있으며, 상기 2개의 감지증폭기 드라이버 사이에는 복수개의 비트라인 감지증폭기(101)로 구성된 비트라인 감지증폭기 어레이(array)가 도시되어 있다.

<50> 또한 도4를 참조하면, 감지증폭기 드라이버(100)의 출력단에는 기준의 RTO 라인(401)과 SB 라인(403) 이외에, 추가 배선(402, 404)이 더 형성되어 있음을 알 수 있다.

<51> 즉, 감지증폭기 드라이버(100A)의 출력노드에서 인접한 감지증폭기 드라이버(100B)의 출력노드까지 제 2 RTO 라인(402) 및 제 2 SB 라인(404)이 추가 형성되어 있으며, 이들은 인접한 감지증폭기 드라이버들 사이에서 기준의 RTO 라인(401) 및 SB 라인(403)과 병렬로 배치된다.

<52> 이하, 감지증폭기 드라이버(100)의 출력 중에서 비트라인 감지증폭기(101)와 직접 연결된 종래의 RTO 라인을 제 1 RTO 라인(401)이라 하고, 종래의 SB 라인을 제 1 SB 라인(403)으로 한다.

<53> 그리고, 감지증폭기 드라이버(100)의 출력중에서 비트라인 감지증폭기(101)와 직접적으로 연결되어 있지 않으며, 상기 제 1 RTO 라인(401)과 적어도 어느 한 곳 이상에서 스트래핑(strapping)되어 풀업 소스로 사용되는 추가 배선을 제 2 RTO 라인(402) 이라고 한다.

<54> 또한, 감지증폭기 드라이버(100)의 출력중에서 비트라인 감지증폭기(101)와 직접적으로 연결되어 있지 않으며, 상기 제 1 SB 라인(403)과 적어도 어느 한 곳 이상에서 스트래핑(strapping)되어 풀다운 소스로 사용되는 추가 배선을 제 2 SB 라인(404) 이라고 한다.

<55> 도4에 도시된 바와같이, 제 2 RT0 라인(402)은 제 1 RT0 라인(401)과 한 곳 이상(도4에서 X_1 , X_2 로 표시)에서 접속하고 있으며, 이러한 접속점 중 한 곳은 구동능력이 가장 취약한 비트라인 감지증폭기 어레이의 중앙부분(도4에서 X_1 으로 표시)임이 바람직하다.

<56> 마찬가지로, 제 2 SB 라인(404)은 제 1 SB 라인(403)과 한 곳 이상(도4에서 Y_1 , Y_2 로 표시)에서 접속하고 있으며, 이러한 접속점 중 한 곳은 구동능력이 가장 취약한 비트라인 감지증폭기 어레이의 중앙부분(도4에서 Y_1 으로 표시)임이 바람직하다.

<57> 이와같이 본 발명의 일실시예에서는, 비트라인 감지증폭기 어레이의 중앙부분에, 배선 자체의 기생 저항값과 기생 캐패시턴스값 만을 갖는 전류 패스를 연결시켜 줌으로써, 구동능력이 가장 취약한 어레이 영역의 중앙부분에 위치한 비트라인 감지증폭기의 센싱 스피드 감소 및 불안정한 센싱동작을 예방해 줄 수 있다.

<58> 도4에는 좌/우 양쪽에 배치된 감지증폭기 드라이버(100)가 RT0 라인과 SB 라인을 공유하고 있는 구조를 개시하였으나, 이러한 구조 이외에도 좌/우 어느 한쪽에만 감증폭기 드라이버가 배치된 구조에서도 본 발명이 적용되어 질 수 있음은 자명하다.

<59> 다음으로 도4에 도시된 전류흐름에 대해 설명한다. 도4에 도시된 전류흐름은, 비트라인의 충전 및 방전 경로상의 전류흐름을 도시한 것이다. 이는 도8에서 다시한번 설명된다.

<60> 먼저, 좌측 감지증폭기(100A)의 출력단에서 풀업 소스로 사용되는 RT0 라인으로 공급되는 전류를 I_{RTL} (RT0 Left)이라 하였으며, 이러한 I_{RTL} 은 다시 I_{RT1} 과 I_{RT2} 로 나눌 수 있다. 여기서 I_{RT1} 은 제 1 RT0 라인(401)으로 공급되는 전류이며, I_{RT2} 는 제 2 RT0 라인(402)으로 공급되는 전류이다.

<61> 그리고, 우측 감지증폭기 출력단에서 RTO 라인으로 공급되는 전류를 I_{RTR} (RTO Right)이라 하였으며, 이러한 I_{RTR} 은 다시 I_{RT3} 과 I_{RT4} 로 나눌 수 있다. 여기서, I_{RT3} 는 제 1 RTO 라인(401)으로 공급되는 전류이며, I_{RT4} 는 제 2 RTO 라인(402)으로 공급되는 전류이다.

<62> 다음으로 좌측의 감지증폭기(100) 출력단에서 풀다운 소스로 사용되는 SB 라인으로부터 공급되는 전류를 I_{STL} (S Left)이라 하였으며, 이러한 I_{STL} 은 다시 I_{ST1} 과 I_{ST2} 로 나눌 수 있다. 여기서 I_{ST1} 은 제 1 SB 라인(403)으로부터 공급되는 전류이며, I_{ST2} 는 제 2 SB 라인(404)으로부터 공급되는 전류이다.

<63> 그리고, 우측의 감지증폭기 출력단에서 SB 라인으로부터 공급되는 전류를 I_{STR} (S Right)이라 하였으며, 이러한 I_{STR} 은 다시 I_{ST3} 과 I_{ST4} 로 나눌 수 있다. 여기서 I_{ST3} 는 제 1 SB 라인(403)으로부터 공급되는 전류이며, I_{ST4} 는 제 2 SB 라인(404)으로부터 공급되는 전류이다.

<64> 또한, 각각의 비트라인 감지증폭기(101)로 공급되는 전류는 $I_{R1}, I_{R2}, I_{Ri} \dots I_{Rn-1}, I_{Rn}$ 으로 표시하였으며, 각각의 비트라인 감지증폭기(101)에서 출력되는 전류는 $I_{S1}, I_{S2}, I_{Si} \dots I_{Sn-1}, I_{Sn}$ 으로 표시하였다.

<65> 도4에서 (ㄴ)으로 표시된 블록은 도5의 부하 모델링에서 사용되는 블럭이며, 이하, 도5를 참조하여 (ㄴ)블록에 대한 부하 모델링에 대해 설명한다.

<66> 도5에 도시된 부하 모델링은, 감지증폭기 드라이버(100A)부터 메모리 셀에 이르는 경로에 형성된 모든 부하를 저항과 캐패시터로 모델링한 것으로, 본 발명의 일실시예에서는 제 1 RTO 라인과 제 1 SB 라인 이외에도 제 2 RTO 라인 및 제 2 SB 라인이 존재하므로, 기존의 부하 모델링(도3에 도시)외에도 새로운 경로에 대한 저항/캐패시터 모델을 병렬로 추가하였다.

<67> 도5에서 저항성분에 표시된 첨자의 의미를 설명하면 다음과 같다. 예를 들면, R_{R21} 에서 첫번째 첨자 R은 RTO 라인에 관한 것임을 의미하고, 두번째 첨자 2 는 새롭게 추가된 라인(제 2 RTO 라인)임을 의미하며, 세번째 첨자 1 은 왼쪽에서 첫번째 저항임을 의미한다. 마찬가지로, CS11에서 첫번째 첨자 S는 SB 라인에 관한 것임을 의미하고, 두번째 첨자 1 은 종래의 SB 라인 (제 1 SB 라인)임을 의미하며, 세번째 첨자 1 은 왼쪽에서 첫번째 캐퍼시터임을 의미한다.

<68> 이와같이 새롭게 추가된 배선(제 2 RTO 라인, 제 2 SB 라인)의 경우는, 비트라인 감지증폭기와 직접 연결되어 있지 않기 때문에, 배선자체의 기생 저항값과 기생 캐퍼시턴스 값을 갖고 있어, 기존의 라인(제 1 RTO 라인, 제 1 SB 라인)에 비해 저항값과 캐퍼시턴스값이 무척 작다.

<69> 이와같은 부하 모델링에서, 저항(R)과 캐퍼시터(C)로 구성된 라인의 부하는 $R \times C$ 값에 비례하며, 본 발명의 일실시예에서와 같이 종래의 신호라인과 새롭게 추가된 신호라인이 병렬로 연결될 경우에는, 부하가 작은 경로에 의해 시간지연이 결정되므로, 종래에 비해 시간지연이 감소하는 장점이 있다. 또한, 전체적으로 임피던스도 감소하기 때문에 전류 구동능력이 개선된다.

<70> 다음으로 도6 내지 도8을 참조하여 본 발명의 일실시예에서 사용가능한 구성소자들의 상세 회로에 대해 설명한다.

<71> 먼저, 도6은 본 발명의 일실시예에서 사용가능한 감지증폭기 드라이버(100)의 구성을 도시한 회로도로서, 두 종류의 감지증폭기 드라이버가 도시되어 있다.

<72> 먼저, 도6의 (a)에 도시된 감지증폭기 드라이버는 풀업 신호(SAP)를 게이트로 입력받아 VINT 전압을 RT0 라인에 전달하기 위한 PMOS(601)와, 풀다운 신호(SAN)를 게이트로 입력받아 SB 라인에 접지전압(VSS)을 전달하기 위한 NMOS(606)와, 상기 PMOS(601)와 NMOS(606)가 비활성화 상태에 있을 때, 상기 RT0 라인과 SB 라인을 비트라인 프리차지전압(VBLP)으로 차지시키는 3개의 NMOS 트랜지스터(603, 604, 605)를 포함하여 이루어진다.

<73> 여기서, VDD 전압은 외부 인가전압으로 VCC 전압이라고도 하며, VSS 전압은 접지전압을 일컫는다. 또한, VINT 전압은 디램(DRAM)의 내부회로에서 생성된 전압으로, 메모리 셀에 저장된 하이(High) 데이터와 같은 레벨이다. 그리고, VBLP 전압 역시 디램의 내부회로에서 생성된 전압으로 VINT 전압의 약 절반 레벨이다.

<74> 다음으로, 도6의 (b)에 도시된 감지증폭기 드라이버는 동작속도를 향상시킬 목적으로 도6의 (a)에 도시된 감지증폭기 드라이버를 개량한 것으로, 풀업 소자로 사용되는 PMOS(602)가 하나 더 구비되어 있다.

<75> 이를 참조하면, 도6 (b)에 도시된 감지증폭기 드라이버는 제 1 풀업 신호(SAP1)를 게이트로 입력받아 VDD 전압을 RT0 라인에 전달하기 위한 PMOS(601)와, 제 2 풀업 신호(SAP2)를 게이트로 입력받아 VINT 전압을 RT0 라인에 전달하기 위한 PMOS(602)와, 풀다운 신호(SAN)를 게이트로 입력받아 SB 라인에 접지전압(VSS)을 전달하기 위한 NMOS(606)와, 게이트로 BLEQ 신호를 입력받아 상기 PMOS(601, 602)와 NMOS(606)가 비활성화 상태에 있을 때, 상기 RT0 라인과 SB 라인을 비트라인 프리차지 전압(VBLP)으로 충전시키는 3개의 NMOS 트랜지스터(603, 604, 605)를 포함하여 이루어진다.

<76> 도6의 (a)에 도시된 감지증폭기 드라이버의 동작을 설명하면, 먼저 프리차지(precharge) 상태에서는 풀업 신호(SAP)는 VDD 레벨이며, 풀다운 신호(SAN)은 VSS 레벨로 되어있어, 풀업소자인 PMOS(601)와 풀다운 소자인 NMOS(606)는 모두 턴오프 상태에 있다.

<77> 또한, 프리차지(precharge) 상태에서는 BLEQ 전압은 VDD 레벨이므로, RTO 라인과 SB 라인을 프리차지하는 NMOS(603, 604, 605) 트랜지스터는 모두 턴온되어 있어, RTO 라인과 SB 라인을 VBLP 전압으로 프리차지하고 있다.

<78> 이와같은 상태에서 워드라인이 VPP 레벨로 활성화되면, BLEQ 신호는 VSS 전압으로 떨어지게 되어, 등화(Equalizing) 및 프리차지(Precharge) 상태가 해제된 후, 비트라인에 데이터가 실린다.

<79> 비트라인에 데이터가 충분히 실리면, 풀업신호(SAP)는 VSS 레벨로, 풀다운신호(SAN)는 VDD 레벨로 반전한다. 따라서, RTO 라인은 VBLP 레벨에서 VINT 레벨로 반전하고, SB 라인은 VBLP 레벨에서 VSS 레벨로 반전하여 비트라인 감지증폭기(Bit Line Sense Amplifier)를 구동하게 된다.

<80> 도6의 (b)에 도시된 감지증폭기 드라이버는 풀업 소자를 하나 더 구비하고 있어, 풀업 동작 초기에는 PMOS(601)를 이용하여 고 전압인 VDD 레벨로 RTO 라인을 구동하고, 소정의 시간 이후에는 PMOS(602)를 이용하여 VDD 레벨보다는 좀 낮은 전압인 VINT 레벨로 RTO 라인을 구동함으로써 동작속도를 향상시킨 것이다.

<81> 비록, 도6에는 두개의 감지증폭기 드라이버의 구조가 도시되어 있지만, 본 발명에서 사용가능한 감지증폭기 드라이버는 이들에 한정되는 것이 아니며, 본 발명은 풀업소스로 RTO 라인을 사용하고, 풀다운 소스로 SB 라인을 사용하는 감지증폭기 드라이버에 적용가능하다.

<82> 다음으로, 도7a 내지 도7b를 참조하여 본 발명의 일실시예에서 사용가능한 비트라인 감지증폭기와 주변회로를 설명한다.

<83> 먼저, 도7a에 도시된 도면을 참조하면 비트라인 감지증폭기와 주변회로는, 제어신호(BISH)에 응답하여 상위 메모리셀 어레이 블럭(Block)의 비트라인과 비트라인 감지증폭기(730)를 차단 또는 연결하는 제 1 아이솔레이션부(710)와, 제어신호(BLEQ)에 응답하여 프리차지 전압인 VBLP 레벨로 상기 비트라인을 등화 및 프리차지시키는 등화 및 프리차지부(720)와, 제어신호(RTO, SB)에 의해 정 비트라인(BL) 및 부 비트라인(BLB)에 실린 데이터를 증폭하는 비트라인 감지증폭기(730)와, 컬럼 제어신호(YI)에 의해 비트라인 감지증폭기에서 증폭된 데이터를 세그먼트 입출력 라인(SIO, SIOB)으로 전송하는 컬럼 선택부(740)와, 제어신호(BISL)에 응답하여 하위 메모리셀 어레이 블럭의 비트라인과 비트라인 감지증폭기(730)를 차단 또는 연결하는 제 2 아이솔레이션부(750)를 포함하여 구성되어 있다.

<84> 이와같이 구성된 비트라인 감지증폭기와 그 주변회로의 동작을 설명하면 다음과 같다. 먼저, 대기상태(standby)에서 워드라인의 전압은 접지전압이고 비트라인 제어신호(BLEQ)가 하이레벨이므로, 정 비트라인(BL)과 부 비트라인(BLB)은 프리차지 전압(VBLP)으로 프리차지 되어 있으며, 감지증폭기 제어신호(RTO, SB)도 모두 프리차지 전압(VBLP)로 프리차지 되어 있다.

<85> 이어서, 제어신호(BLEQ)가 로우 레벨이 되면, 비트라인(BL, BLB)이 프리차지 전압(VBLP)을 유지한 채 외부와는 단절된 플로우팅(floating) 상태가 된다.

<86> 한편, 로우 디코더가 외부에서 입력된 로우 어드레스를 디코딩하여 워드라인 한 개를 선택하고 워드라인의 전압을 VPP 레벨로 전압을 상승시킨다. 따라서, 선택된 워드라인에 연결된 메모리 셀의 전하가 해당 비트라인(BL)에 실리게 되며, 비트라인의 전압은 셀에 저장된 데이터에 따라 상승 또는 하강하게 된다.

<87> 이때, 비트라인 감지증폭기 제어신호(RTO, SB)에 의해 비트라인 감지증폭기(730)가 활성화되어 비트라인(BL, BLB)의 전압차이를 증폭한다. 비트라인(BL, BLB)의 전압차이가 어느 정도 벌어지면, 비트라인 감지증폭기 제어신호(RTO, SB)에 의해 비트라인 감지증폭기(730)가 비활성화되어 감지증폭 동작이 완료된다. 또한, 비트라인 감지증폭기(730)에 의해 증폭된 셀 데이터는 컬럼 제어신호(YI)에 의해 세그먼트 입출력 라인(SIO, SIOB)으로 출력된다.

<88> 다음으로 도7b에 도시된 도면을 참조하면, 비트라인 감지증폭기와 주변회로는, 제어신호(BLEQH)에 응답하여 상위블럭의 비트라인을 등화시시키는 상위블럭 등화부(722)와, 제어신호(BISH)에 응답하여 상위블럭(Block)의 비트라인과 비트라인 감지증폭기(730)를 차단 또는 연결하는 제 1 아이솔레이션부(710)와, 제어신호 (BLEQ)에 응답하여 프리차지 전압인 VBLP 레벨로 상기 비트라인을 프리차지시키는 프리차지부(721)와, 제어신호(RTO, SB)에 의해 정 비트라인(BL) 및 부 비트라인(BLB)에 실린 데이터를 증폭하는 비트라인 감지증폭기(730)와, 컬럼 제어신호(YI)에 의해 비트라인 감지증폭기에서 증폭된 데이터를 세그먼트 입출력 라인(SIO, SIOB)으로 전송하는 컬럼 선택부(740)와, 제어신호(BISL)에 응답하여 하위 블럭(Block)의 비트라인과 비트라인 감지증폭기(730)를 차단 또는 연결하는 제 2 아이솔레이션부(750)와, 제어신호(BLEQL)에 응답하여 하위블럭의 비트라인을 등화시시키는 하위블럭 등화부(723)를 포함하여 구성되어 있다.

<89> 도7b에 도시된 회로는 프리차지 속도(t_{RP})를 개선하기 위하여, 도7a에 도시된 등화 및 프리차지부(720)의 구성을 개선하여 상위블럭 측 비트라인을 등화시시키는 상위블럭 등화부(722)와 하위블럭 측 비트라인을 등화시시키는 하위블럭 등화부(723)를 프리자치부(721)와는 따로 구성한 회로이다.

<90> 도7에 도시된 비트라인 감지증폭기와 주변회로는 본 발명에서 사용가능한 일 예를 든 것 뿐이며, 이와 다른 구조를 갖는 비트라인 감지증폭기 및 주변회로도 본 발명에 적용가능하다.

<91> 다음으로 도8을 참조하여, 도7에 도시된 비트라인 감지증폭기(730)의 회로구성 및 동작에 대해 설명한다. 도8에 도시된 비트라인 감지증폭기(730) 역시 본 발명에 적용될 수 있는 비트라인 감지증폭기의 일 예에 불과하며 이와 다른 구조를 갖는 비트라인 감지증폭기 역시 본 발명에 적용되어 질 수 있다.

<92> 도8의 비트라인 감지증폭기는, 구동전압인 RTO 와 SB 에 따라 동작하는 크로스 커플드 (Cross Coupled)연결된 NMOS 트랜지스터(803, 804) 및 PMOS 트랜지스터(801, 802)로 구성되어 있으며, 제 1 PMOS 트랜지스터(801)와 제 1 NMOS 트랜지스터(803) 사이에는 정 비트라인(BL)이 접속되어 있으며, 제 2 PMOS 트랜지스터(802)와 제 2 NMOS 트랜지스터(804) 사이에는 부 비트라인(BLB)이 접속되어 있다.

<93> 이와같이 구성된 비트라인 감지증폭기에서, 풀업 소스로 사용된 RTO 라인이 프리차지 레벨에서 VINT 레벨이 되고, 풀 다운 소스로 사용된 SB 라인이 프리차지 레벨에서 VSS 레벨이 되면, 비트라인 감지증폭기는 감지증폭 동작을 시작하여 정 비트라인과 부 비트라인의 전압 차이를 증폭한다.

<94> 이때, 풀업소스인 RTO 라인으로부터 공급된 전류에 의해 정 비트라인(BL)은 VINT 레벨로 충전되며, 풀다운 소스인 SB 라인에 의해 부 비트라인(BLB)은 VSS 레벨로 충전된다. 이와같은 전류의 흐름을 도8에 도시하였다.

<95> 도9는 본 발명의 일실시예에 따른 메모리 소자의 동작을 도시한 신호파형도로써, 본 발명에서 사용가능한 감지증폭기 드라이버 및 비트라인 감지증폭기의 동작에 대한 신호파형도이다.

<96> 도9를 참조하면, 먼저 프라차지 상태에서는 BLEQ 신호가 활성화되어 있고, 감지증폭기 드라이버의 풀업 신호(SPA1)는 VINT 레벨이고, 풀 다운 신호(SAN)는 VSS 레벨이므로, RTO 라인과 SB 라인은 모두 프리차지 전압(VBLP)으로 프리차지 되어 있다.

<97> 이와같은 상태에서 워드라인의 VPP 레벨로 활성화되고, BLEQ 신호는 VSS 전압으로 떨어지게 되면, 비트라인의 등화(Equalizing) 및 프리차지(Precharge) 상태가 해제된 후, 비트라인에 데이터가 실린다.

<98> 비트라인에 데이터가 충분히 실리면, 풀업신호(SAP1)는 VSS 레벨로, 풀 다운신호(SAN)는 VDD 레벨로 반전한다. 따라서, 비트라인 감지증폭기를 구동하기 위한 RTO 신호는 프리차지 레벨에서 VINT 레벨로 반전하고, SB 신호는 프리차지 레벨에서 VSS 레벨로 반전하여, 비트라인 감지증폭기가 센싱동작을 시작한다.

<99> 이와같은 비트라인 감지증폭기의 센싱동작에 의해 정 비트라인(BL)과 부 비트라인(BLB)의 전압차이가 증폭되어 시그멘트 입출력 라인(SI0, SI0B)에 실리게 된다.

<100> 이와같은 동작이 종료된 후에는 워드라인의 전압을 하강시켜 다음동작을 대비하는 프리차지 상태로 돌아간다. 즉, 워드라인 전압은 VSS 레벨로 하강하고, 풀업신호(SAP1)는 VSS 레벨에서 VINT 레벨로 반전하고, 풀 다운신호(SAN)는 VINT 레벨에서 VSS 레벨로 반전하여, RTO 라인과 SB 라인을 VBLP 레벨로 프리차지 한다.

<101> 다음으로 도 10에 대해 설명한다. 도 10은 반도체 메모리 소자의 셀 어레이에서, 본 발명의 일실시예에 따른 감지증폭기 드라이버가 배치되는 위치를 도시한 도면으로, 정방형의 서브셀 어레이(810)가 도시되어 있다.

<102> 좌/우 서브 셀 어레이들 사이의 공간(812)에는 서브 워드라인 드라이버(미도시)가 배치되며, 서브셀 어레이와 서브셀 어레이가 크로스(cross) 되는 공간을 서브 홀(sub hole) 또는 크로스 홀(cross hole)이라고 칭하며, 상기 공간에 본 발명의 일실시예에 따른 감지증폭기 드라이버가 배치된다.

<103> 도10을 참조하면, 서브 홀에 배치되는 감지증폭기 드라이버는 좌/우 양쪽에 배치된 감지증폭기 드라이버가 RT0 라인과 SB 라인을 공유하도록 배치되어 있다.

<104> 하지만, 메모리 소자의 종류 또는 설계자의 의도에 따라, 어떤 메모리 소자에서는 이웃하는 감지증폭기 드라이버가 RT0 라인과 SB 라인을 공유하지 않을 수도 있는데, 본 발명은 이와같이 이웃하는 감지증폭기 드라이버가 RT0 라인과 SB 라인을 공유하지 않는 경우에도 적용될 수 있다.

<105> 도 11은 본 발명의 제 2 실시예에 따라 계층적 RT0 라인 및 SB 라인을 구비한 반도체 메모리 소자를 도시한 도면으로, 본 발명의 제 2 실시예에서는 하나의 뱅크 또는 메모리셀 블록(900)에서, 뱅크의 양 끝단에 메인 감지증폭기 드라이버(830)를 추가로 구비하고, 상기 메인 감지증폭기 드라이버의 출력라인인 제 3 RT0 라인 및 제 3 SB 라인으로부터 추가배선을 인출하여 감지증폭기 드라이버의 구동력이 가장 취약한 곳의 기준 RT0 라인 및 SB라인에 직접 연결시켜 주는 방법을 적용하였다.

<106> 즉, 도 11에 도시된 서브 감지증폭기 드라이버(820)와 비트라인 감지증폭기 어레이(미 도시) 사이의 배선연결관계는 도1에 도시된 종래기술과 같으며, 서브 감지증폭기 드라이버(820)는 도10에 도시된 서브 홀(Sub Hole)에 배치되어 있다. 또한, 서브 감지증폭기 드라이버(820)의 출력인 제 1 RT0 라인(821)과 제 1 SB 라인(822)이 도시되어 있다.

<107> 또한, 뱅크(900)의 좌/우 끝단에 형성된 메인 감지증폭기 드라이버(830)는 그 출력으로 제 3 RT0 라인(831)과 제 3 SB 라인(832)을 출력하고 있으며, 상기 제 3 RT0 라인(831)과 상기 제 3 SB 라인(832)은 비트라인 감지증폭기와는 직접적으로 연결되어 있지않아, 배선자체의 기생 저항값과 기생 캐패시턴스 값만을 갖는 부하로 모델링할 수 있다.

<108> 이와같이, 풀업 소스로 사용된 제 3 RT0 라인(831)은 구동능력이 취약한 비트라인 감지증폭기 어레이의 중앙부분에서 상기 제 1 RT0 라인(821)과 접속되어 있으므로(도 11에서 X_n 으로 표시된 접속점), 비트라인 감지증폭기의 센싱속도를 증가시킬 수 있다.

<109> 마찬가지로, 풀다운 소스로 사용된 제 3 SB 라인(832) 역시, 구동능력이 취약한 비트라인 감지증폭기 어레이의 중앙부분에서 제 1 SB 라인(822)하고 접속되어 있으므로(도 11에서 Y_n 으로 표시된 접속점), 비트라인 감지증폭기의 구동력을 향상시킬 수 있다.

<110> 이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

<111> 상술한 본 발명에 의한 실시예들을 참조하면, 본 발명의 실시구성에 있어서는 비트라인 구동전원인 RT0 라인, SB 라인을 두개의 감지증폭기 드라이버가 공유하는 구성을 보여주었지만, 전술한 바와같이 상기 비트라인 구동전원인 RT0 라인 및 SB 라인이 단지 하나의 감지증폭기 드라이버에 연결된 구조하에서도 본 발명의 구성을 적용할 수 있을 것이다.

【발명의 효과】

<112> 본 발명을 적용하면, 반도체 소자의 감지증폭기 드라이버의 구동력을 개선할 수 있어, 비트라인 감지증폭기의 센싱속도를 높일 수 있는 장점이 있으며, 또한 감지증폭기 드라이버의 구동력을 균일하게 개선하여 비트라인 감지증폭기의 센싱동작을 안정적으로 구현할 수 있다.

【특허청구범위】**【청구항 1】**

복수의 비트라인 감지증폭기가 어레이된 감지증폭기 어레이부;

상기 감지증폭기 어레이부의 일측에 배치되어 상기 각 감지증폭기의 구동전압을 생성하기 위한 제 1 드라이버;

상기 감지증폭기 어레이부의 타측에 배치되어 상기 각 감지증폭기의 구동전압을 생성하기 위한 제 2 드라이버;

상기 제 1 드라이버의 출력노드와 상기 제 2 드라이버의 출력노드 사이에 연결되고 상기 복수개 감지증폭기의 각각의 구동전압 입력단이 병렬적으로 접속된 상기 구동전압의 제 1 전원배선; 및

상기 제 1 드라이버의 출력노드와 상기 제 2 드라이버의 출력노드 사이에 상기 제 1 전원배선과 병렬적으로 접속되고 상기 제 1 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 구동전압의 제 2 전원배선

포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 제 2 전원배선과 상기 제 1 전원배선의 스트랩핑은 상기 감지증폭기 어레이부의 중심부에서 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

비트라인의 풀업 소스로서의 제 1 구동전압 입력단과 비트라인의 풀다운 소스로서의 제 2 구동전압 입력단을 갖는 비트라인 감지증폭기가 복수개 어레이된 감지증폭기 어레이부;

상기 감지증폭기 어레이부의 일측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 제 1 드라이버;

상기 감지증폭기 어레이부의 타측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 제 2 드라이버;

상기 제 1 드라이버의 제 1 구동전압 출력노드와 상기 제 2 드라이버의 제 1 구동전압 출력노드 사이에 연결되고 상기 복수의 감지증폭기의 각각의 제 1 구동전압 입력단이 병렬적으로 접속된 상기 제 1 구동전압의 제 1 전원배선;

상기 제 1 드라이버의 제 1 구동전압 출력노드와 상기 제 2 드라이버의 제 1 구동전압 출력노드 사이에 상기 제 1 전원배선과 병렬적으로 접속되고 상기 제 1 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 제 1 구동전압의 제 2 전원배선;

상기 제 1 드라이버의 제 2 구동전압 출력노드와 상기 제 2 드라이버의 제 2 구동전압 출력노드 사이에 연결되고 상기 복수의 감지증폭기의 각각의 제 2 구동전압 입력단이 병렬적으로 접속된 상기 제 2 구동전압의 제 3 전원배선; 및

상기 제 1 드라이버의 제 2 구동전압 출력노드와 상기 제 2 드라이버의 제 2 구동전압 출력노드 사이에 상기 제 3 전원배선과 병렬적으로 접속되고 상기 제 3 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 제 2 구동전압의 제 4 전원배선

을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 제 3 전원배선과 상기 제 4 전원배선의 스트랩핑은 상기 감지증폭기 어레이부의 중심부에서 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 3항에 있어서,

상기 제 1 드라이버 또는 제 2 드라이버는,

제어신호에 의해 내부 생성전압을 상기 제 1 구동전압 출력노드로 인가하는 풀업 수단;

상기 풀업 수단과 동시에 활성화되어 상기 제 2 구동전압 출력노드를 접지준위로 끌어내리는 풀다운 수단; 및

상기 풀업 수단과 풀다운 수단이 비활성화 상태일 때, 상기 제 1 구동전압 출력노드 및 상기 제 2 구동전압 출력노드를 프리차지 전압으로 충전시키는 프리차지 수단

을 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제 5 항에 있어서,

상기 풀업 수단은 PMOS 트랜지스터이며, 상기 풀다운 수단은 NMOS 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제 3 항에 있어서,

상기 제 1 드라이버 또는 제 2 드라이버는,

제 1 제어신호에 의해 외부전압을 상기 제 1 구동전압 출력노드로 인가하는 제 1 풀업 수단;

제 2 제어신호에 의해 내부 생성전압을 상기 제 1 구동전압 출력노드로 인가하는 제 2 풀업 수단;

상기 제 1 풀업 수단과 동시에 활성화되어 상기 제 2 구동전압 출력노드를 접지준위로 끌어내리는 풀다운 수단; 및

상기 풀업 수단과 풀다운 수단이 비활성화 상태일 때, 상기 제 1 구동전압 출력노드 및 상기 제 2 구동전압 출력노드를 프리차지 전압으로 충전시키는 프리차지 수단을 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제 7 항에 있어서,

상기 제 1 풀업 수단 및 제 2 풀업 수단은 PMOS 트랜지스터이며, 상기 풀다운 수단은 NMOS 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제 7 항에 있어서,

상기 내부 생성전압은 메모리 셀에 저장된 하이 데이터와 동일 레벨의 전압인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

비트라인의 풀업 소스로서의 제 1 구동전압 입력단과 비트라인의 풀다운 소스로서의 제 2 구동전압 입력단을 갖는 비트라인 감지증폭기가 복수개 어레이된 감지증폭기 어레이부;

상기 감지증폭기 어레이부의 일측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 제 1 드라이버;

상기 감지증폭기 어레이부의 타측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 제 2 드라이버;

메모리 셀 블록의 일측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 제 3 드라이버;

메모리 셀 블록의 타측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 제 4 드라이버;

상기 제 1 드라이버의 제 1 구동전압 출력노드와 상기 제 2 드라이버의 제 1구동전압 출력노드 사이에 연결되고 상기 복수의 감지증폭기의 각각의 제 1 구동전압 입력단이 병렬적으로 접속된 상기 제 1 구동전압의 제 1 전원배선;

상기 제 3 드라이버의 제 1 구동전압 출력노드와 상기 제 4 드라이버의 제 1 구동전압 출력노드 사이에 상기 제 1 전원배선과 병렬적으로 접속되고 상기 제 1 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 제 1 구동전압의 제 2 전원배선;

상기 제 1 드라이버의 제 2 구동전압 출력노드와 상기 제 2 드라이버의 제 2 구동전압 출력노드 사이에 연결되고 상기 복수의 감지증폭기의 각각의 제 2 구동전압 입력단이 병렬적으로 접속된 상기 제 2 구동전압의 제 3 전원배선; 및

상기 제 3 드라이버의 제 2 구동전압 출력노드와 상기 제 4 드라이버의 제 2 구동전압 출력노드 사이에 상기 제 3 전원배선과 병렬적으로 접속되고 상기 제 3 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 제 2 구동전압의 제 4 전원배선

을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

제 10 항에 있어서,

상기 제 1 드라이버 내지 제 4 드라이버는,

제어신호에 의해 내부 생성전압을 상기 제 1 구동전압 출력노드로 인가하는 풀업 수단;

상기 풀업 수단과 동시에 활성화되어 상기 제 2 구동전압 출력노드를 접지준위로 끌어내리는 풀다운 수단; 및

상기 풀업 수단과 풀다운 수단이 비활성화 상태일 때, 상기 제 1 구동전압 출력노드 및 상기 제 2 구동전압 출력노드를 프리차지 전압으로 충전시키는 프리차지 수단을 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제 10 항에 있어서,
상기 제 1 드라이버 내지 제 4 드라이버는,
제 1 제어신호에 의해 외부 인가전압을 상기 제 1 구동전압 출력노드로 인가하는 제 1 풀업 수단;
제 2 제어신호에 의해 내부 생성전압을 상기 제 1 구동전압 출력노드로 인가하는 제 2 풀업수단;
상기 제 1 풀업 수단과 동시에 활성화되어 상기 제 2 구동전압 출력노드를 접지준위로 끌어내리는 풀다운 수단; 및
상기 풀업 수단과 풀다운 수단이 비활성화 상태일 때, 상기 제 1 구동전압 출력노드 및 상기 제 2 구동전압 출력노드를 프리차지 전압으로 충전시키는 프리차지 수단을 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 13】

복수의 비트라인 감지증폭기가 어레이된 감지증폭기 어레이부;

상기 감지증폭기 어레이부의 일측에 배치되어 상기 각 감지증폭기의 구동전압을 생성하기 위한 드라이버;

상기 드라이버의 출력노드에 연결되고 상기 복수개 감지증폭기의 각각의 구동전압 입력단이 병렬적으로 접속된 상기 구동전압의 제 1 전원배선; 및

상기 드라이버의 출력노드에 상기 제 1 전원배선과 병렬적으로 접속되고 상기 제 1 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 구동전압의 제 2 전원배선 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

비트라인의 풀업 소스로서의 제 1 구동전압 입력단과 비트라인의 풀다운 소스로서의 제 2 구동전압 입력단을 갖는 비트라인 감지증폭기가 복수개 어레이된 감지증폭기 어레이부;

상기 감지증폭기 어레이부의 일측에 배치되어 상기 각각의 감지증폭기의 제 1 및 제 2 구동전압을 생성하기 위한 드라이버;

상기 드라이버의 제 1 구동전압 출력노드에 연결되고 상기 복수의 감지증폭기의 각각의 제 1 구동전압 입력단이 병렬적으로 접속된 상기 제 1 구동전압의 제 1 전원배선;

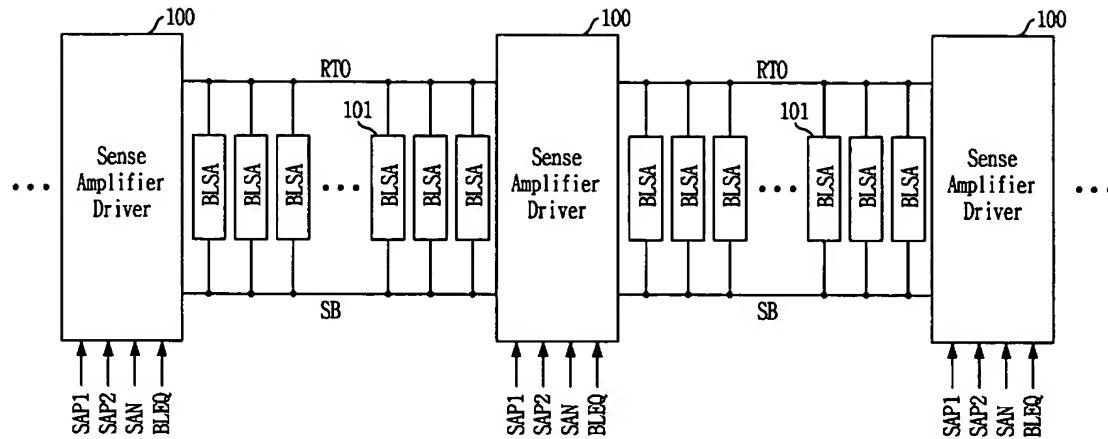
상기 드라이버의 제 1 구동전압 출력노드에 접속되고 상기 제 1 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 제 1 구동전압의 제 2 전원배선;

상기 드라이버의 제 2 구동전압 출력노드에 연결되고 상기 복수의 감지증폭기의 각각의 제 2 구동전압 입력단이 병렬적으로 접속된 상기 제 2 구동전압의 제 3 전원배선; 및

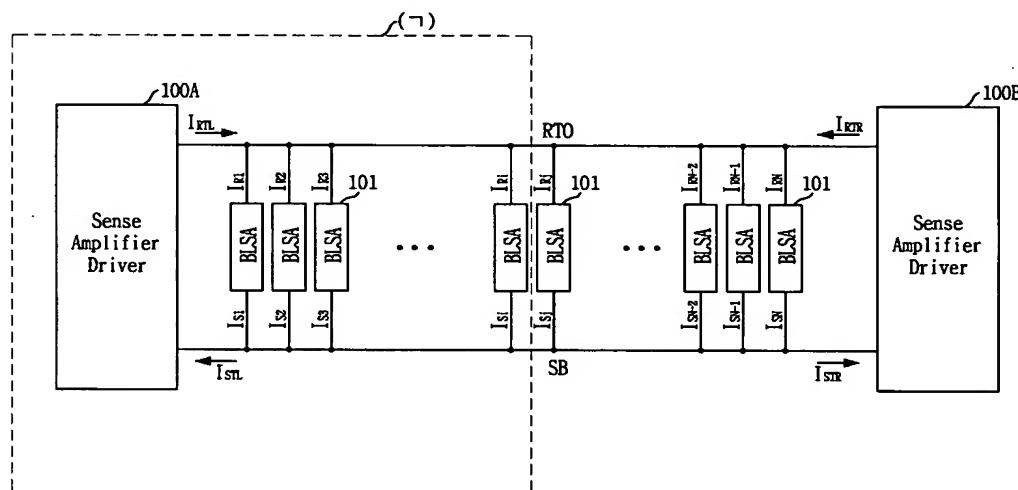
상기 드라이버의 제 2 구동전압 출력노드에 접속되고 상기 제 3 전원배선과 적어도 어느 한 곳에서 스트랩핑된 상기 제 2 구동전압의 제 4 전원배선을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

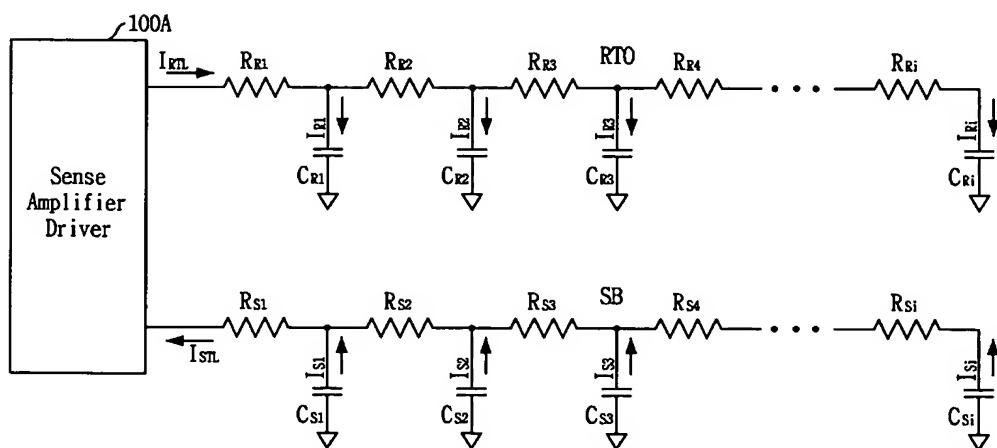
【도 1】



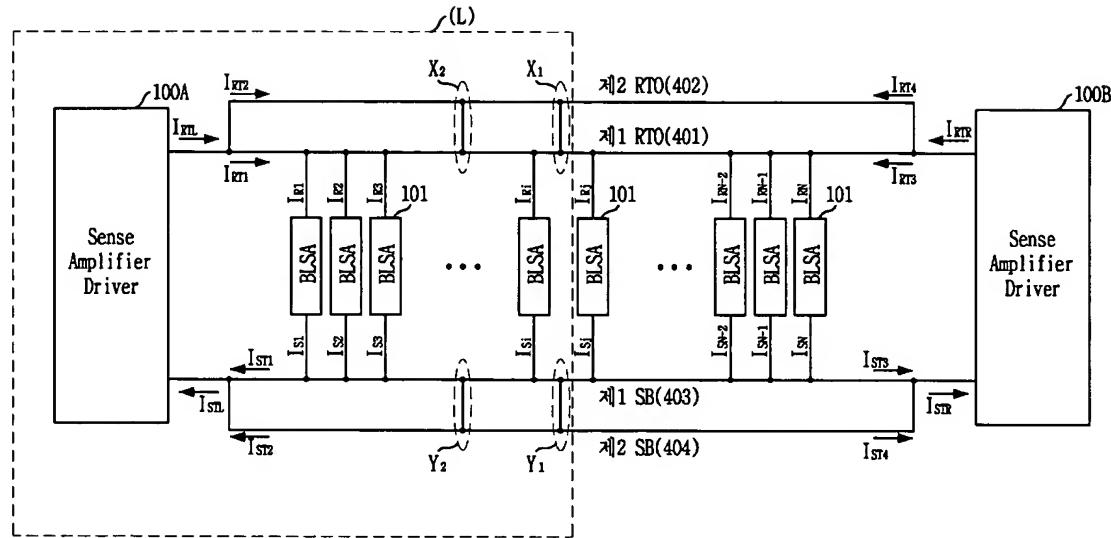
【도 2】



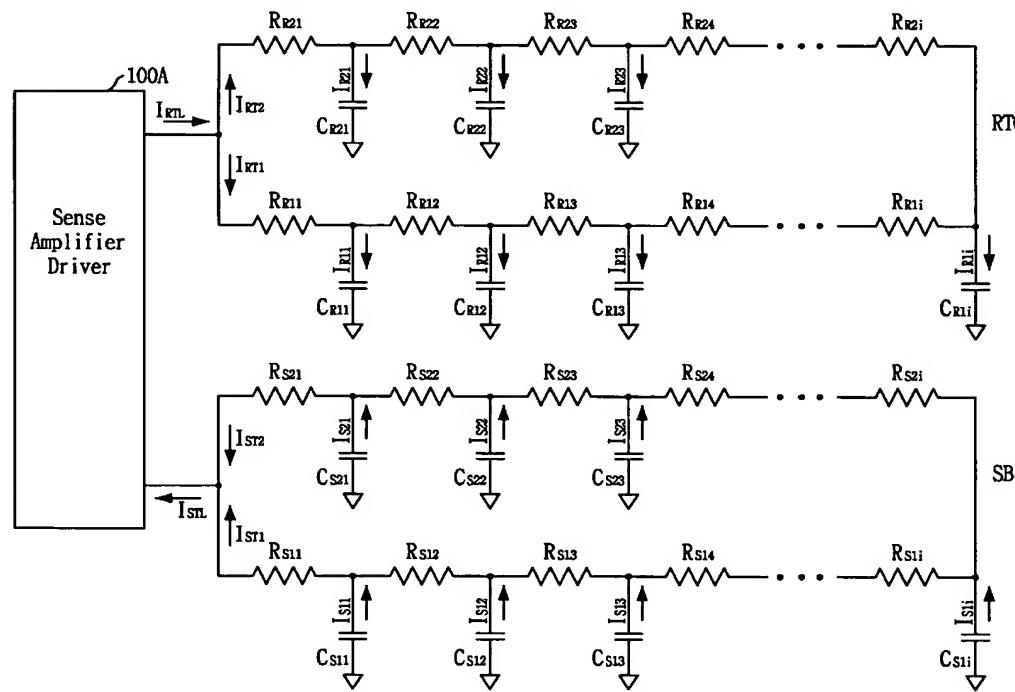
【도 3】



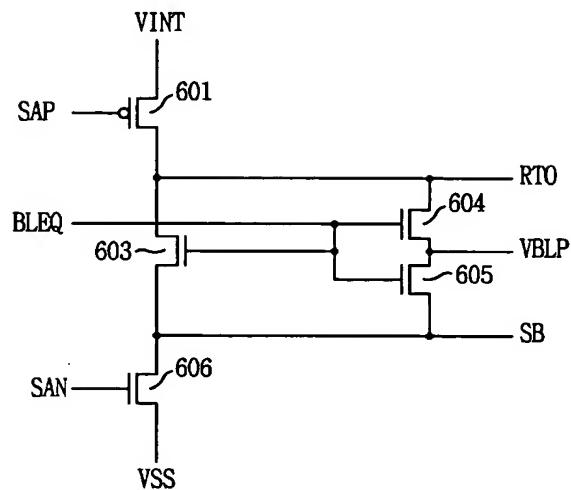
【도 4】



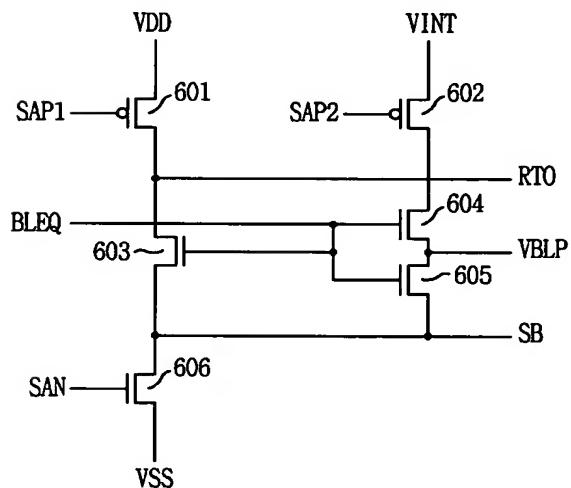
【도 5】



【도 6】

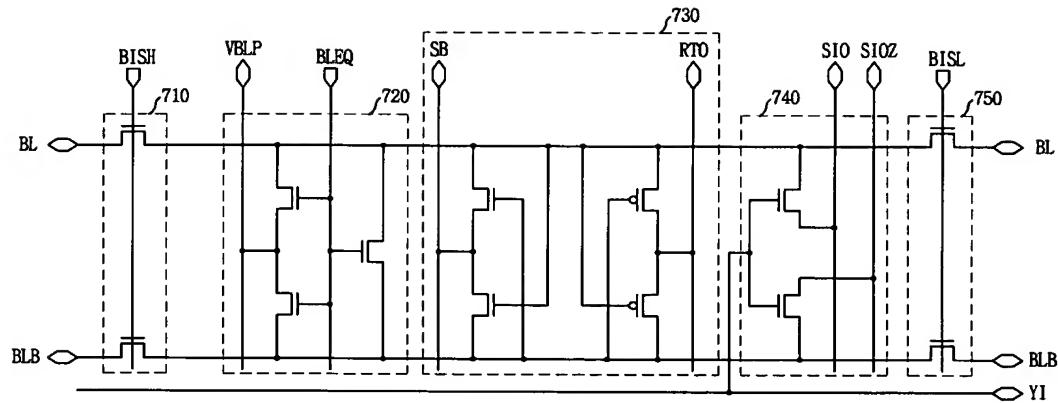


(a)

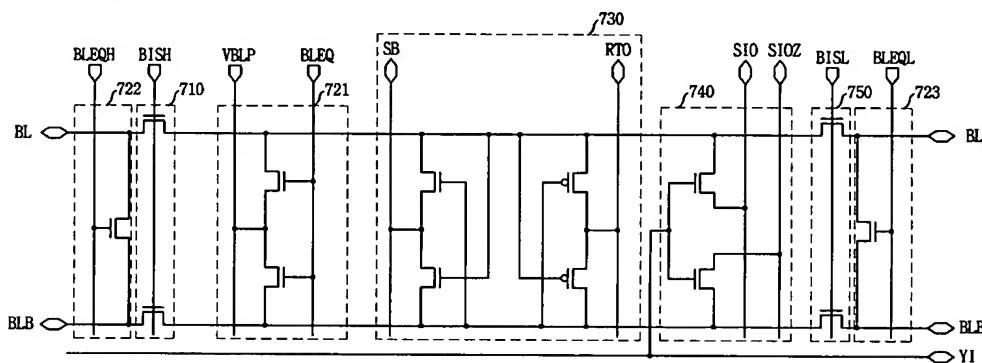


(b)

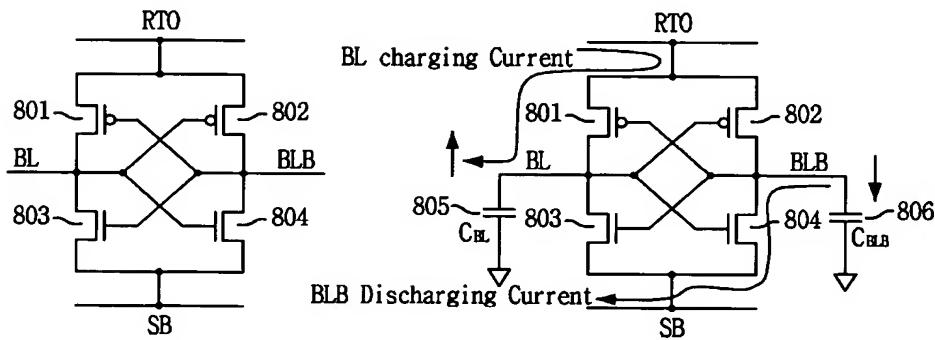
【도 7a】



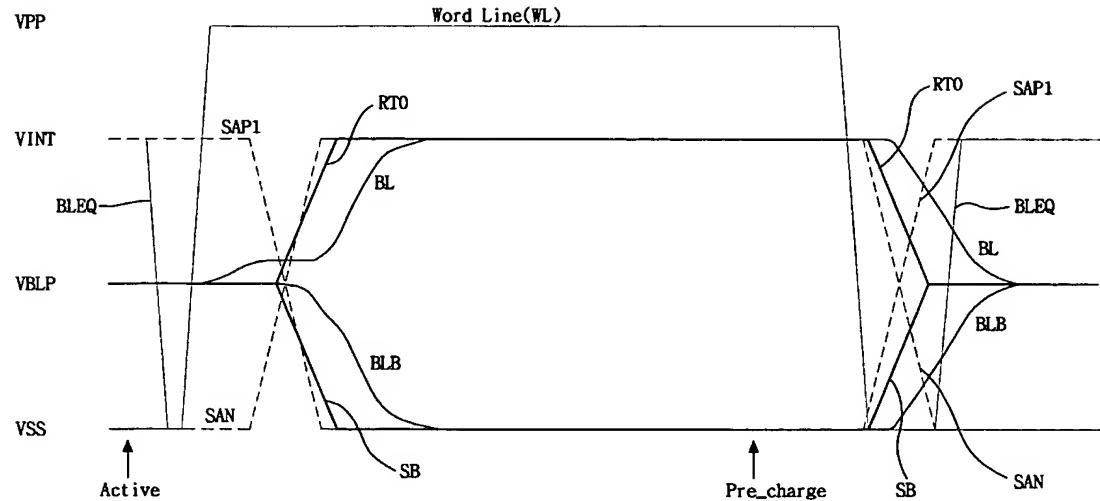
【도 7b】



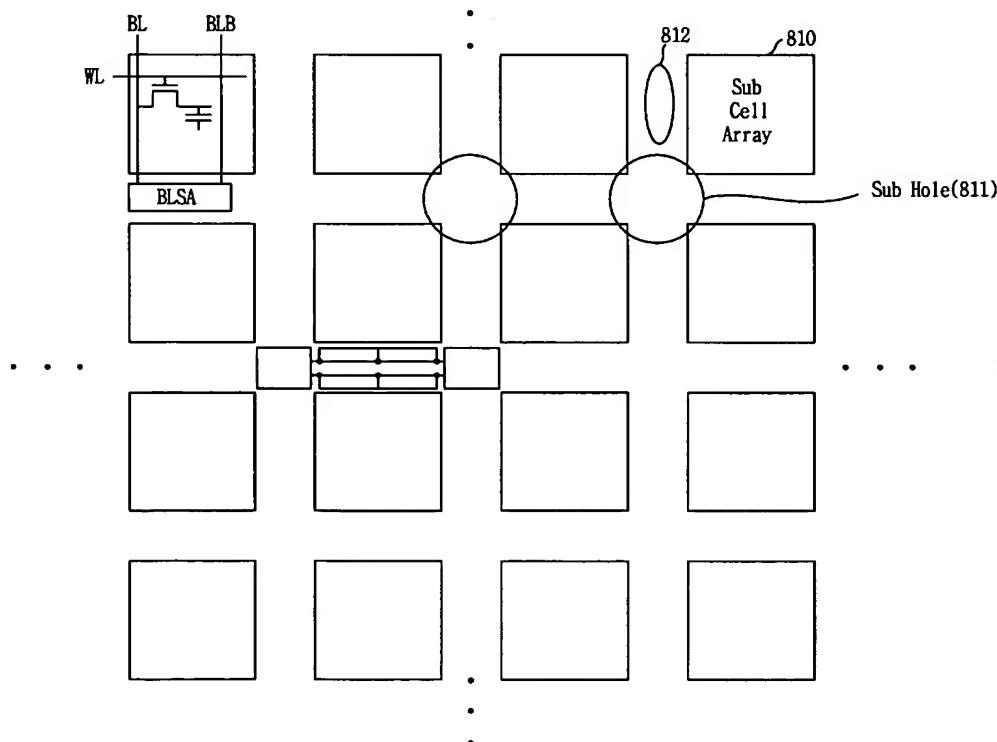
【도 8】



【도 9】



【도 10】



【도 11】

